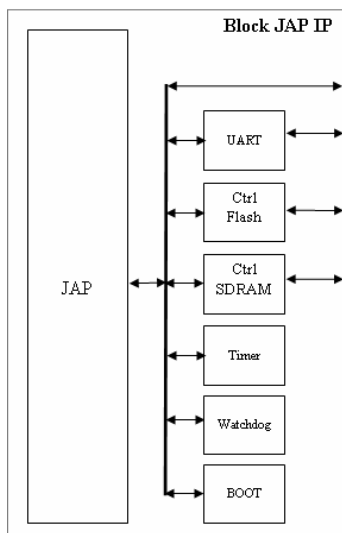
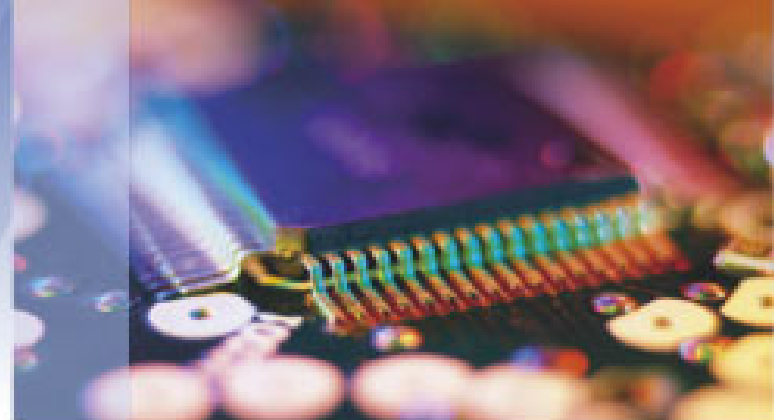


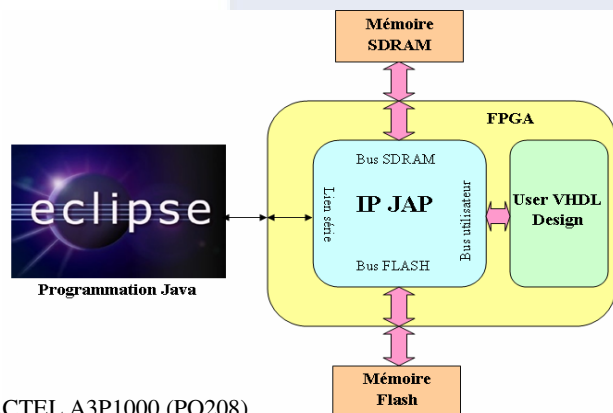
Bloc IP processeur JAP

La société AED propose une IP du processeur JAP sur les composants FPGA Actel. Cette IP permet de disposer immédiatement d'un environnement de développement complet Eclipse et d'un langage de programmation de haut niveau JAVA.

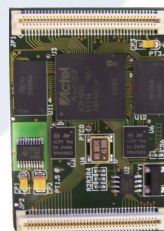
Le processeur JAP a besoin d'une mémoire SDRAM et d'une mémoire flash pour l'application et le système d'exploitation. Une liaison série permet de mettre à jour l'application et le système d'exploitation. Enfin, le JAP possède un bus utilisateur pour interconnecter ses propres design VHDL.



Le block JAP IP regroupe : un processeur JAP, une UART, un timer, un watchdog, une Rom de BOOT, un contrôleur de mémoire SDRAM, un contrôleur de mémoire FLASH (protocole SPI) et un bus IO.

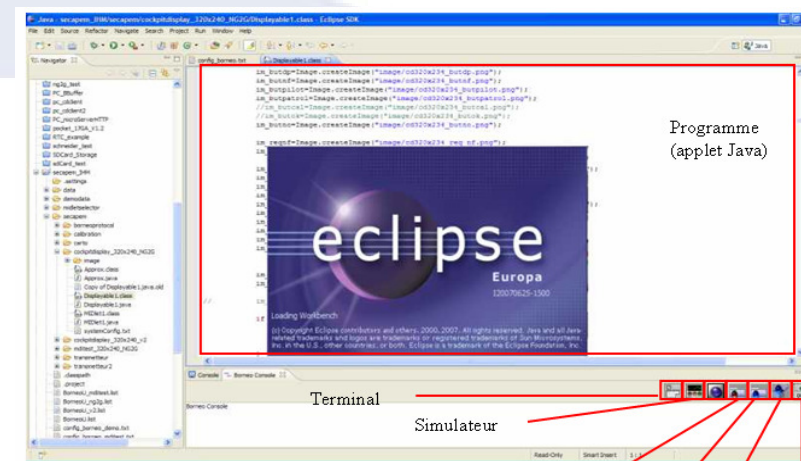


- FPGA ACTEL A3P1000 (PQ208)
- 16 Mo de mémoire FLASH
- 64 Mo de mémoire SDRAM vidéo
- 1 horloge temps réel
- 15 broches configurables
- DAC (Vidéo VGA)
- 2 RS232, 1 RS 422/485
- Gamme de température -10° à 70°
- Alimentation en 12V
- Dimensions : 12 cm x 8 cm



- FPGA ACTEL A3P1000 (FG256)
- 16 Mo de mémoire FLASH
- 64 Mo de mémoire SDRAM vidéo
- 1 horloge temps réel
- 84 broches configurables
- Gamme de température -10° à 70°
- Alimentation en 3.3V
- Dimensions : 6 cm x 4 cm

Le développement d'applet Java pour l'IP JAP s'effectue avec l'outil de programmation **Eclipse**. Une fenêtre intégrée dans **Eclipse** permet de générer et de télécharger le programme dans la carte via une liaison USB. L'environnement de développement fonctionne sous **Windows Vista/XP** et **Linux**.



- Téléchargement noyau
- Téléchargement application
- Compilation
- Documentation En ligne

Le simulateur, directement accessible à partir du Plugin **Eclipse-Borneo**, permet : de tester vos applications, d'afficher des messages de simulation et d'estimer précisément le temps d'exécution.

Plusieurs cartes sont disponibles pour débiter le développement d'application avec l'IP JAP.

